VILNIUS GEDIMINAS TECHNICAL UNIVERSITY STUDY MODULE CARD

Department of Computer Science and Communications Technologies

A dalis

Modulio pavadinimas
Vienlusčių integrinių grandynų ir sistemų projektavimas

Module title
Design Integrated Circuits and Systems on Chip

Modulio grupė	Studijų dalyko
Modulio blokas	Doktorantūros specialybės dalykai
Priklausomybė	Katedros

Mokslo krypties ir srities kodas		**Studijos**
T 001	**T 000**	**Doktorantūros**

Module code

Faculty		Department		B, A, M, I, D	Module No.*
E	L	K	R	D	19312

* modulio registracijos numeris katedroje

Credits

Total	Iš jų: KD, KS, KP
6	0

Form of evaluation

Į, E1, E2, E, BE, BD, TD, A	KD, KS, KP
E	

Studijų forma		Paskaitoms	Lab. darbams	Pratyboms	Aud. darbui	Sav. darbui	Iš viso
Nuolatinės studijos	F	16	0	16	32	128	160
Ištęstinės studijos	I						

Modulio tikslas

Įgyti gilesnių žinių ir gebėjimų, reikalingų atliekant vienlusčių integrinių grandynų ir jų sistemų projektavimą bei mokslinius tyrimus.

Aim of module

To acquire deeper knowledge and skills needed for the design and scientific research of system-on-chip and their systems.

Suteikiamos žinios ir gebėjimai

Gilios žinios vienlusčių integrinių grandynų ir sistemų projektavimo, taikymo ir kūrimo, modeliavimo ir analizės klausimais. Gebėjimas pasirinkti vienlusčių integrinių grandynų ir sistemų tobulinimo kryptis ir taikyti įgytas žinias jų kūrimui, modeliavimui ir analizei. Gebėjimas taikyti šiuolaikinius vienlusčių integrinių grandynų ir sistemų modeliavimo, analizės ir projektavimo paketus.

Provided knowledge and skills

In-depth knowledge of system-on-chip design, application, and development, as well as modeling and analysis. The ability to choose directions for improving system-on-chip and to apply acquired knowledge for their development, modeling, and analysis. The ability to use modern modeling, analysis, and design software packages for system-on-chip design.

Modulio anotacija

Vienlusčių integrinių grandynų ir sistemų projektavimo dalyke pagilinamos ir (arba) įgyjamos naujo žinios apie integrinių grandynų komponentų kompiuterinius modelius, superdidžiųjų grandynų su vienpoliais komplementariaisiais tranzistoriais projektavimą, analoginių grandynų modeliavimo ypatumus, pažangių lustų topologijos automatizuoto projektavimo technologijas ir vienlusčių grandynų ir jų sistemų projektavimo raidos perspektyvas.

Module annotation

In the course of Design Integrated Circuits and Systems on Chips, deeper and/or new knowledge is acquired about computer models of integrated circuit components, the design of very large-scale circuits with complementary metal-oxide-semiconductor (CMOS) transistors, specifics of analog circuit modeling, advanced automated design technologies for chip layouts, and the developmental perspectives of design of systems-on-chip.

Literature (author, title of publication, publisher, year)

1. Chakravarthi, V. S., Koteshwar, S. R. (2023). System on Chip (SOC) Architecture: A Practical Approach. Germany: Springer Nature Switzerland.
2. System-on-Chip: Next Generation Electronics. (2006). United Kingdom: Institution of Engineering and Technology.
3. Ben Abdallah, A. (2017). Advanced Multicore Systems-On-Chip: Architecture, On-Chip Network, Design. Singapore: Springer Nature Singapore.
4. Stollon, N. (2010). On-Chip Instrumentation: Design and Debug for Systems on Chip. United States: Springer US.
5. Navickas, R. Nanotechnologijos elektronikoje. Technika, 2008.
6. System-on-Chip: Reuse and Integration . Proceedings of the IEEE ,Vol. 94, No. 6, June 2006.
7. R. Waser (ed.). Nanoelectronics and Information Technology. Sec. ed. Wiley-VCH, 2005.
8. A European Industrial Strategic Roadmap for Micro- and Nano-Electronic Components and Systems. A report to Vice President Kroes by the Electronic Leaders Group. 30th January 2014.
9. Baker, R. J.; Li, H. W. and Boyce, D. E. CMOS Circuit Design, Layout, and Simulation. IEEE Press, New York, Sec. Ed, 2005.
10. Wolf, W. Modern VLSI: System-on Chip Design. Prentice Hall PRT, 2002.

IT resursai:

2. Synopsys, Synopsys, Inc. arba platintojas -Europractice sistema, licencijos tipas Mokama, akademinė
1. Cadence, Cadence Inc. arba platintojas -Europractice sistema, licencijos tipas Mokama, akademinė

Savarankiško darbo turinys

Užduoties pavadinimas	Sav. darbo apimtis vienai užduočiai					Užduočių skaičius				Iš viso valandų			
	Rėžis	Priimta				NL(S)	I(S)	I(T)	NL(T)	NL(S)	I(S)	I(T)	NL(T)
		NL(S)	I(S)	I(T)	NL(T)								
Namų darbas	4-24	20				3				60			
Kitos savarankiškos studijos	1-200	40				1				40			
Pasirengimas atsiskaitymui	16-40	28				1				28			

Savarankiško darbo grafikas

Užduoties tipas			užduoties pateikimo(*) ir atssikaitymo(+) savaitė																		
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Nuolatinė	Namų darbas	*	1		2		3															
		+		1		2		3														

Modulio sudarytojai (vardas,pavardė)

Vaidotas Barzdėnas

Module examiners (name, surname):

Vaidotas Barzdėnas

Aleksandr Vasjanov

Doktoranto vadovas arba profilinės katedros vedėjas arba doktorantūros komiteto narys

Katedros vedėjas (vardas, pavardė):

Vaidotas Barzdėnas

Doktorantūros komisijos nutarimas

1. Modulis atestuojamas				
2. Modulis skirtas mokslo krypčiai:	**Elektros ir elektronikos**			
3. Modulio atestacija galioja:	nuo	2022-09-01	iki	2027-08-31

Modulį atestavo
Mokslo krypties doktorantūros komisijos pirmininkas (vardas, pavardė)

Artūras Serackis Data 2024-01-10

VILNIUS GEDIMINAS TECHNICAL UNIVERSITY STUDY MODULE CARD

Kompiuterijos ir ryšių technologijų katedra

B dalis

Modulio pavadinimas
Vienlusčių integrinių grandynų ir sistemų projektavimas

Module title
Design Integrated Circuits and Systems on Chip

Modulio kodas						**Kreditai**		**Atsiskaitymo forma**	
Fakultetas	Katedra	B, A, M, I, D	Modulio Nr.*			Iš viso:	Iš jų: KD, KS, KP	Į, E1, E2, E, BE, BD, TD, A	KD, KS, KP
E	L	K	R	D	19312	6	0	E	

* modulio registracijos numeris katedroje

Studijų forma		Paskaitoms	Lab. darbams	Pratyboms	Aud. darbui	Sav. darbui	Iš viso
Nuolatinės studijos	F	16	0	16	32	128	160
Ištęstinės studijos	I						

List of the Course lecture topics

Lecture topics	Number of hours			
	NL(S)	I(S)	I(S)	NL(T)
1. Design Challenges of Integrated Circuits and Systems.	2			
2. Computer Models of Integrated Circuits Components.	4			
3. Design of VLSI with CMOS Transistors.	4			
4. Issues of Modelling Analogue Integrated Circuits.	4			
5. Advanced EDA technologies of Chips Layout.	2			
In total:	**16**			

List of the Course exercise topics

Lecture topics	Number of hours			
	NL(S)	I(S)	I(S)	NL(T)
1. Workshop 1: Modelling of Si-Ge Bipolar Devices and Integrates Circuits. Tasks of Works and Presentation of Results.	4			
2. Workshop 2: Design of CMOS Integrated Circuits. Tasks of Works and Presentation of Results.	6			
3. Workshop 3: Design of Analoque IC's. Tasks of Works and Presentation of Results.	6			
In total:	**16**			

Compilers of the module (name,surnai	**Modulio egzaminuotojai** (vardas, pavardė):	**Katedros vedėjas** (vardas, pavardė):
Vaidotas Barzdėnas	Vaidotas Barzdėnas	Vaidotas Barzdėnas
	Aleksandr Vasjanov	
	Doktoranto vadovas arba profilinės katedros vedėjas arba doktorantūros komiteto narys	

Doktorantūros komisijos nutarimas

1. Modulis atestuojamas				
2. Modulis skirtas mokslo krypčiai:		**Elektros ir**		
3. Modulio atestacija galioja:	nuo	2022-09-01	iki	2027-08-31

Modulį atestavo
Mokslo krypties doktorantūros komisijos pirmininkas (vardas, pavardė)

Artūras Serackis Data 2024-01-10